

N & V 925-190 ON15AII

"Semiconductor Device Producing..." 532985 505
#2
10/26/01
Muller

日本国特許庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出願年月日

Date of Application:

2000年 4月27日

出願番号

Application Number:

特願2000-127349

出願人

Applicant(s):

シャープ株式会社

J1017 U.S. PTO
J09/834923

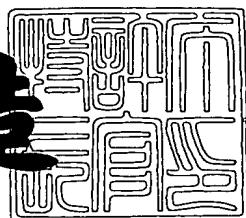


04/16/01

2001年 2月 2日

特許庁長官
Commissioner,
Patent Office

及川耕造



出証番号 出証特2001-3003743

【書類名】 特許願
 【整理番号】 169331
 【提出日】 平成12年 4月27日
 【あて先】 特許庁長官殿
 【国際特許分類】 H01L 21/00
 H01L 27/10
 H01L 27/04

【発明者】

【住所又は居所】 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

【氏名】 大西 茂夫

【特許出願人】

【識別番号】 000005049

【住所又は居所】 大阪府大阪市阿倍野区長池町22番22号

【氏名又は名称】 シャープ株式会社

【代理人】

【識別番号】 100062144

【弁理士】

【氏名又は名称】 青山 萩

【選任した代理人】

【識別番号】 100084146

【弁理士】

【氏名又は名称】 山崎 宏

【手数料の表示】

【予納台帳番号】 013262

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

特2000-127349

【物件名】 要約書 1

【包括委任状番号】 0003090

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法および半導体装置

【特許請求の範囲】

【請求項1】 半導体基板上に層間絶縁膜とバリア膜を順次形成する工程と

上記層間絶縁膜、バリア膜にコンタクトホールを形成して、そのコンタクトホール内にプラグを形成する工程と、

上記プラグ上および上記バリア膜上に絶縁膜を形成し、上記プラグの上面が露出するように上記絶縁膜に凹部を形成する工程と、

上記絶縁膜上に上記凹部を埋めるように第1導電膜を形成し、その第1導電膜を化学的機械的研磨法によってエッチバックすることにより上記凹部内に下部電極を形成する工程と、

上記下部電極を形成した後、上記絶縁膜を下地の上記バリア膜が露出するまでエッチバックすることにより、上記下部電極を凸状に残す工程と、

上記凸状の下部電極の表面および上記バリア膜を覆う高誘電体または強誘電体からなる誘電体膜を形成し、その誘電体膜を覆う第2導電膜を形成する工程と、

上記誘電体膜と上記第2導電膜とを同時にパターニングすることによって、高誘電体または強誘電体からなるキャパシタ絶縁膜および上部電極を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項2】 請求項1に記載の半導体装置の製造方法において、

上記バリア膜が TiO_2 、 Al_2O_3 または SiN のうちのいずれか1つからなることを特徴とする半導体装置の製造方法。

【請求項3】 半導体基板上に層間絶縁膜とバリア膜を順次形成する工程と

上記層間絶縁膜、バリア膜にコンタクトホールを形成して、そのコンタクトホール内にプラグを形成する工程と、

上記プラグ上および上記バリア膜上に第1絶縁膜を形成し、上記プラグの上面が露出するように上記第1絶縁膜に凹部を形成する工程と、

上記凹部を埋めることなく、上記凹部内の側壁、底および上記第1絶縁膜を覆

う第1導電膜を形成した後、上記第1導電膜上に上記凹部を埋めるように第2絶縁膜を形成する工程と、

上記第2絶縁膜をドライエッチング法または化学的機械的研磨法により上記第1導電膜の最上部までエッチバックし、さらに上記第1導電膜および上記凹部内の第2絶縁膜を化学的機械的研磨法により上記第1絶縁膜が露出するまでエッチバックすることにより上記凹部内にカップ形状の下部電極を形成する工程と、

上記第1絶縁膜および上記凹部内の第2絶縁膜を上記バリア膜と上記下部電極が露出するまでエッチバックする工程と、

上記カップ形状の下部電極の外側側壁、内側側壁および内側底面を覆う高誘電体または強誘電体からなる誘電体膜を形成し、上記誘電体膜を覆う第2導電膜を形成する工程と、

上記誘電体膜および上記第2導電膜を同時にパターニングすることによって、高誘電体または強誘電体からなるキャパシタ絶縁膜および上部電極を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項4】 請求項3に記載の半導体装置の製造方法において、

上記バリア膜が TiO_2 または Al_2O_3 または SiN のうちのいずれか1つからなることを特徴とする半導体装置の製造方法。

【請求項5】 請求項3または4に記載の半導体装置の製造方法において、

上記第1絶縁膜を形成した後、その第1絶縁膜の表面に Ti 膜または TiO_2 膜を形成することを特徴とする半導体装置の製造方法。

【請求項6】 半導体基板上に形成された層間絶縁膜と、

上記層間絶縁膜上に形成されたバリア膜と、

上記バリア膜および上記層間絶縁膜に形成されたコンタクトホールに形成され、上部にバリアメタルが埋め込まれたプラグと、

上記バリア膜および上記コンタクトホール上に形成され、上側に開口するカップ形状の下部電極と、

上記カップ形状の下部電極の外側側壁、内側側壁および内側底面を覆うように形成された高誘電体または強誘電体からなる誘電体膜と、

上記誘電体膜を覆うように形成された上部電極とを備え、

上記下部電極と上記誘電体膜と上記上部電極とでキャパシタを形成していることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、強誘電体メモリやDRAM等の半導体装置の微細キャパシタを形成する半導体装置の製造方法および半導体装置に関する。

【0002】

【従来の技術および発明が解決しようとする課題】

従来、半導体装置としては、1トランジスタ・1キャパシタ構造を有する強誘電体メモリセルがある。この強誘電体メモリセルは、トランジスタ上に絶縁膜を介して平面型キャパシタが形成された構造が採用されており、トランジスタとキャパシタとが完全に分離されている。このため、絶縁膜上にキャパシタを形成した後、キャパシタとトランジスタとを局所配線で接続している。しかし、このような構造においては、メモリセルの占有面積が大きくなり、高集積化には向いていない。

【0003】

そこで、図3に示すように、MOSFETのソース領域101上にポリシリコン、TaSiN等から構成されるプラグ102を形成し、このプラグ102上にスタッカ型キャパシタを形成する強誘電体メモリセル構造が提案されている。図3において、103はプラグ102上に形成されたバリアメタル、104は下部電極、105は強誘電体膜、106は上部電極、107はドライブ線である。

【0004】

図3に示す強誘電体メモリセル構造では、プラグ101、絶縁膜100上に平坦な下部電極104、強誘電体膜105および上部電極106を順次堆積し、一括エッチングによりキャパシタを形成しているが、実効的なキャパシタ面積は平面部分の面積に限定されている。そのため、クオーターミクロノン以下の微細なメモリセルにおいては、十分なキャパシタ面積が確保できなくなる。

【0005】

そこで、図4に示すように、シリコン基板200に形成されたMOSFET210のソース領域201上にポリシリコンまたはタンゲステン等からなるプラグ204を形成し、このプラグ204上にスタック型キャパシタCpを形成する強誘電体メモリセルやDRAM等が提案されている。

【0006】

図4に示すスタック型キャパシタ構造は、通常、次のような手法により形成されている。すなわち、MOSFET210と、MOSFET210上の層間絶縁膜203,204と、上記層間絶縁膜203,204のコンタクトホール202a内のプラグ204とが形成された半導体基板において、プラグ204上にIr,IrO₂/Ir,Pt,RuまたはRuO₂/Ru等の導電膜を堆積し、ドライエッチング法により導電膜をパターニングして、下部電極205(ノード電極)を形成する。続いて、強誘電体(PZT(チタン酸ジルコン酸鉛),SBT(タンタル酸ストロンチウムビスマス)等)または高誘電体(BST(チタン酸バリウムストロンチウム)等)を堆積し、さらに、上部電極材料としてのIr,IrO₂,Pt,RuまたはRuO₂等の導電膜を堆積し、ドライエッチング法により上記導電膜および強誘電体膜(または高誘電体膜)をパターニングし、下部電極205,強誘電体膜206および上部電極206からなる共通プレート(またはドライブ線)を形成する。

【0007】

上記スタック型キャパシタ構造では、キャパシタの面積を大きくするために下部電極205の高くすると、ドライエッチング法ではエッチングレートが低いので、さらに長時間のエッチングとなる。また、上記スタック型キャパシタ構造では、上部電極205または下部電極207に用いるPt,IrまたはIrO₂等の導電膜は、通常のドライエッチングで使用するハロゲン化ガスとの反応性が低く、また、反応生成物の揮発性も低いため、エッチレートが低く、微細加工が難しいという問題がある。しかも、サブミクロン以下のパターンでは、マイクロローディング効果の影響も大きく、反応生成物が導電膜に付着したり、導電膜にパーティクルが発生したりするという問題がある。

【0008】

この問題を解決するため、本出願人により、実効的にキャパシタ面積を拡大す

る立体型キャパシタ構造の半導体装置を提案している(特願平10-373876号)。なお、この立体型キャパシタ構造の半導体装置は、この発明を理解しやすくするために説明するものであって、公知技術ではなく、従来技術ではない。

【0009】

上記立体型キャパシタ構造の半導体装置の製造方法では、図5に示すように、ソース領域301上に形成された層間絶縁膜300にプラグ302を形成し、そのプラグ302上部に埋込みバリアメタル303を設けている。そして、上記プラグ302を形成した後に絶縁膜310を形成し、プラグ302上の絶縁膜310に溝310aを形成した後に、その溝310aを有する絶縁膜310上に電極膜を堆積して、化学的機械的研磨法(以下、CMP法という)によりキャパシタ下部電極304を形成している。この半導体装置の製造方法によれば、下部電極304の側面もキャパシタとして使え、その側面の部分によりキャパシタ面積が拡大する。しかしながら、図5に示す立体型キャパシタ構造では、デザインルールの縮小に伴い、溝部分も微細化されるので、溝部分に下部電極、強誘電体膜および上部電極を形成することが困難になる。

【0010】

そこで、この発明の目的は、高集積化に対応した極微細なキャパシタを容易に形成できる半導体装置の製造方法および半導体装置を提供することにある。

【0011】

【課題を解決するための手段】

上記目的を達成するため、この発明の半導体装置の製造方法は、半導体基板上に層間絶縁膜とバリア膜を順次形成する工程と、上記層間絶縁膜、バリア膜にコンタクトホールを形成して、そのコンタクトホール内にプラグを形成する工程と、上記プラグ上および上記バリア膜上に絶縁膜を形成し、上記プラグの上面が露出するように上記絶縁膜に凹部を形成する工程と、上記絶縁膜上に上記凹部を埋めるように第1導電膜を形成し、その第1導電膜をCMP法によってエッチバックすることにより上記凹部内に下部電極を形成する工程と、上記下部電極を形成した後、上記絶縁膜を下地の上記バリア膜が露出するまでエッチバックすることにより、上記下部電極を凸状に残す工程と、上記凸状の下部電極の表面および上

記バリア膜を覆う高誘電体または強誘電体からなる誘電体膜を形成し、その誘電体膜を覆う第2導電膜を形成する工程と、上記誘電体膜と上記第2導電膜とを同時にパターニングすることによって、高誘電体または強誘電体からなるキャパシタ絶縁膜および上部電極を形成する工程とを有することを特徴としている。

【0012】

上記構成の半導体装置の製造方法によれば、上記半導体基板上に形成された SiO_2 等からなる上記層間絶縁膜上に、 TiO_2 , Al_2O_3 または SiN 等の上記バリア膜を堆積した後、上記層間絶縁膜、バリア膜にコンタクトホールを形成し、さらに上記コンタクトホール内に、 n^+ ドープトポリシリコン、 TaSiN または Ir/IrO_2 等からなるプラグを形成する。次に、上記プラグ上および層間絶縁膜上に SiO_2 等からなる上記絶縁膜を形成し、上記プラグの上面が露出するように絶縁膜に凹部を形成する。そして、上記凹部が形成された絶縁膜上に Ir, Pt 等からなる上記第1導電膜を形成した後、上記第1導電膜をCMP法によってエッチバックすることにより上記凹部内に下部電極を形成する。この場合、ドライエッチングを用いることなく、CMP法による短時間のエッチバックにより、高段差の凸状の下部電極を形成できる。次に、上記絶縁膜を下地のバリア膜が露出するまでエッチバックすることにより、プラグ上およびバリア膜上に下部電極を凸状に残す。上記凸状の下部電極の表面および上記バリア膜を高誘電体または強誘電体からなる誘電体膜で覆い、さらにその誘電体膜を第2導電膜で覆い、上記誘電体膜および第2導電膜を同時にパターニングすることによって、凸状の下部電極全面を覆う高誘電体または強誘電体からなるキャパシタ絶縁膜および上部電極を形成して、下部電極、誘電体膜および上部電極で立体型キャパシタを形成する。このように、凸状の下部電極全面を誘電体膜、上部電極で覆うことによって、下部電極の全ての側面の部分だけキャパシタ面積を大きくでき、デザインルールの縮小に伴って、上記絶縁膜に形成される凹部が微小化されても、キャパシタ面積の大きな立体型キャパシタを容易に形成できる。したがって、高集積化に対応した極微細なキャパシタを容易に形成でき、DRAMレベルの高集積型の強誘電体メモリセルを提供できる。

【0013】

また、一実施形態の半導体装置の製造方法は、上記バリア膜が TiO_2 , Al_2O_3 または SiN のうちのいずれか1つからなることを特徴としている。

【0014】

上記実施形態の半導体装置の製造方法によれば、 TiO_2 , Al_2O_3 または SiN のうちのいずれか1つからなるバリア膜によって、上記高誘電体または強誘電体からなる誘電体膜と上記絶縁膜との反応を防止できる。

【0015】

また、この発明の半導体装置の製造方法は、半導体基板上に層間絶縁膜とバリア膜を順次形成する工程と、上記層間絶縁膜、バリア膜にコンタクトホールを形成して、そのコンタクトホール内にプラグを形成する工程と、上記プラグ上および上記バリア膜上に第1絶縁膜を形成し、上記プラグの上面が露出するように上記第1絶縁膜に凹部を形成する工程と、上記凹部を埋めることなく、上記凹部内の側壁、底および上記第1絶縁膜を覆う第1導電膜を形成した後、上記第1導電膜上に上記凹部を埋めるように第2絶縁膜を形成する工程と、上記第2絶縁膜をドライエッチング法または化学的機械的研磨法により上記第1導電膜の最上部までエッチバックし、さらに上記第1導電膜および上記凹部内の第2絶縁膜を化学的機械的研磨法により上記第1絶縁膜が露出するまでエッチバックすることにより上記凹部内にカップ形状の下部電極を形成する工程と、上記第1絶縁膜および上記凹部内の第2絶縁膜を上記バリア膜と上記下部電極が露出するまでエッチバックする工程と、上記カップ形状の下部電極の外側側壁、内側側壁および内側底面を覆う高誘電体または強誘電体からなる誘電体膜を形成し、上記誘電体膜を覆う第2導電膜を形成する工程と、上記誘電体膜および上記第2導電膜を同時にパターニングすることによって、高誘電体または強誘電体からなるキャパシタ絶縁膜および上部電極を形成する工程とを有することを特徴としている。

【0016】

上記半導体装置の製造方法によれば、上記半導体基板上に形成された SiO_2 等からなる上記層間絶縁膜上に、 TiO_2 , Al_2O_3 または SiN 等の上記バリア膜を堆積した後、上記層間絶縁膜、バリア膜にコンタクトホールを形成し、さらに上記コンタクトホール内に、 n^+ ドープトポリシリコンおよび、 $TaSiN$, Ir/Ir

O_2 等より構成されるプラグを形成する。次に、上記プラグ上およびバリア膜上に SiO_2 等からなる上記第1絶縁膜を形成し、上記プラグの上面が露出するよう第1絶縁膜に凹部を形成する。そして、上記凹部を埋めることなく、上記凹部内の側壁、底および第1絶縁膜を覆う第1導電膜を形成し、その後、その第1導電膜上に上記凹部を埋めるように第2絶縁膜を形成する。上記第2絶縁膜をドライエッチング法またはCMP法により第1導電膜の最上部までエッチバックし、さらに上記第1導電膜および上記凹部内の第2絶縁膜をCMP法により第1絶縁膜が露出するまでエッチバックすることにより上記凹部内にカップ形状の下部電極を形成する。この場合、ドライエッチングを用いることなく、CMP法による短時間のエッチバックにより、高段差のカップ形状の下部電極を形成できる。次に、上記第1絶縁膜を下地のバリア膜が露出するまでエッチバックすると同時に、上記凹部内の第2絶縁膜を下部電極の内側底面が露出するまでエッチバックし、上記カップ形状の下部電極を残す。上記下部電極の外側側壁、内側側壁および内側底面を覆う高誘電体または強誘電体からなる誘電体膜を形成し、その誘電体膜を覆う第2導電膜を形成する。そして、上記誘電体膜と第2導電膜を同時にパターニングすることによって、カップ形状の下部電極全面(外側側壁、内側側壁および内側底面)を覆う高誘電体または強誘電体からなるキャパシタ絶縁膜および上部電極を形成して、下部電極、キャパシタ絶縁膜および上部電極で立体型キャパシタを形成する。このように、カップ形状の下部電極の外側側壁、内側側壁および内側底面の全面を有効に利用してキャパシタ面積を大きくでき、デザインホールの縮小に伴って、上記絶縁膜に形成される凹部が微小化されても、キャパシタ面積の大きな立体型キャパシタを容易に形成できる。したがって、高集積化に対応した極微細なキャパシタを容易に形成でき、DRAMレベルの高集積型の強誘電体メモリセルを提供できる。

【0017】

また、一実施形態の半導体装置の製造方法は、上記バリア膜が TiO_2 または Al_2O_3 または SiN のうちのいずれか1つからなることを特徴としている。

【0018】

上記実施形態の半導体装置の製造方法によれば、 TiO_2 または Al_2O_3 または

SiNのうちのいずれか1つからなるバリア膜によって、上記高誘電体または強誘電体からなる誘電体膜と上記第1絶縁膜との反応を防止できる。

【0019】

また、一実施形態の半導体装置の製造方法は、上記第1絶縁膜を形成した後、その第1絶縁膜の表面にTi膜またはTiO₂膜を形成することを特徴としている。

【0020】

上記実施形態の半導体装置の製造方法によれば、上記第1絶縁膜の表面に形成されたTi膜またはTiO₂膜によって、上記第1絶縁膜と上記第1導電膜との密着性がよくなり、信頼性が向上する。

【0021】

また、この発明の半導体装置は、半導体基板上に形成された層間絶縁膜と、上記層間絶縁膜上に形成されたバリア膜と、上記バリア膜および上記層間絶縁膜に形成されたコンタクトホールに形成され、上部にバリアメタルが埋め込まれたプラグと、上記バリア膜および上記コンタクトホール上に形成され、上側に開口するカップ形状の下部電極と、上記カップ形状の下部電極の外側側壁、内側側壁および内側底面を覆うように形成された高誘電体または強誘電体からなる誘電体膜と、上記誘電体膜を覆うように形成された上部電極とを備え、上記下部電極と上記誘電体膜と上記上部電極とでキャパシタを形成していることを特徴としている。

【0022】

上記構成の半導体装置によれば、上記上側に開口するカップ形状の下部電極と、上記カップ形状の下部電極の外側側壁、内側側壁および底を覆うように形成された高誘電体または強誘電体からなる誘電体膜と、上記誘電体膜を覆うように形成された上部電極で立体型キャパシタを形成することによって、下部電極の外側側壁、内側側壁および内側底面の全面を有効に利用してキャパシタ面積を大きくでき、デザインルールの縮小に伴って、上記絶縁膜に形成される凹部が微小化されても、キャパシタ面積の大きな立体型キャパシタを容易に形成できる。したがって、高集積化に対応した極微細なキャパシタを容易に形成でき、DRAMレベル

ルの高集積型の強誘電体メモリセルを提供できる。

【0023】

【発明の実施の形態】

以下、この発明の半導体装置の製造方法および半導体装置を図示の実施の形態により詳細に説明する。なお、以下の実施の形態によってはこの発明は限定されない。

【0024】

(第1実施形態)

図1はこの発明の第1実施形態の半導体装置の製造方法の工程を示す要部の断面図である。

【0025】

図1(a)に示すように、トランジスタ(図示せず)が形成されたシリコン基板1上に SiO_2 を堆積して、膜厚1～1.5 μm程度の層間絶縁膜2を形成した後、 TiO_2 , Al_2O_3 または SiN 等を堆積して、膜厚0.05～0.2 μm程度の下地バリア膜3を形成する。この下地バリア膜3は、基本的には強誘電体膜と SiO_2 膜との反応を防止する役割を果たしている。

【0026】

次に、上記層間絶縁膜2, 下地バリア膜3にコンタクトホール2aを形成した後、基板全面に例えば膜厚0.1～0.5 μm程度のドープトポリシリコンを堆積し、RIE(反応性イオンエッティング)法によりエッチバックすることにより、ドープトポリシリコンをコンタクトホール内に埋め込んで、プラグ4を形成する。このとき、プラグ4上面より、0.2～0.3 μm程のオーバーエッチによりリセスを形成しておく。

【0027】

次に、 TaSiN/Ti 膜により構成されるバリアメタルをスパッタ法またはCVD(化学気相成長)法により堆積し(合計膜厚0.1～0.3 μm程度)、引き続き、CMP法により平坦化することにより、プラグ4上部に埋込みバリアメタル5を形成する。このとき、 TiO_2 , Al_2O_3 または SiN 等の下地バリア膜3は残しておく必要がある。なお、バリアメタル材料としては、 Ir/IrO_2 または $\text{Ir}/$

$\text{IrO}_2/\text{TaSiN}$ を用いてもよい。

【0028】

次に、図1(b)に示すように、膜厚 $0.2\sim1.0\ \mu\text{m}$ の絶縁膜としての SiO_2 膜6を堆積し、RIE等により、プラグ4上の領域を含む SiO_2 膜6の略矩形の領域を、埋込みバリアメタル5とその周囲の下地バリア膜3が露出するまでエッチングして、 SiO_2 膜6に凹部6aを設ける。なお、後述する下部電極との密着性をあげるため、 SiO_2 膜6表面に $0.02\sim0.05\ \mu\text{m}$ 程度の Ti, TiO_2 膜を形成する。

【0029】

次に、凹部6aが形成された SiO_2 膜6を覆うように、下部電極形成のために Ir を堆積させて、膜厚 $0.05\sim0.5\ \mu\text{m}$ 程度の凹部6aを埋め込んだ第1導電膜としての Ir 膜7を形成する。ここで、 Ir 膜7は、比較的蒸気圧の高い Ir の有機金属錯体を原料に用いて、熱分解法により成膜した。凹部部分が狭い場合には、スパッタ法による成膜も可能である。場合によっては、 Ir 膜7の代わりに、 Pt 膜を用いてもよい。

【0030】

次に、図1(c)に示すように、CMP法により Ir 膜7を SiO_2 膜6が露出するまで研磨して、凹部6a内にのみ Ir を埋め込んだ下部電極8を形成する。ここで、CMP法とは、 $\text{CeO}_2, \text{ZrO}_2$ または Al_2O_3 等の研磨剤に Ir または Pt を溶解させる酸またはアルカリ系の溶液を混ぜ合わせたスラリーを用いて、化学的に機械研磨する方法である。

【0031】

次に、図1(d)に示すように、通常の酸化膜RIE装置により SiO_2 膜6(図1(c)に示す)を下地バリア膜3($\text{Al}_2\text{O}_3, \text{TiO}_2$ または SiN 等)が露出するまでエッチバックする。そして、上記プラグ4上および下地バリア膜3上に略直方体形状の下部電極8を露出させる。このときの下地バリア膜3は、 $0.03\sim0.15\ \mu\text{m}$ 程度残っていることが望まれる。

【0032】

最後に、図1(e)に示すように、MOCVD(有機金属気相成長)法により、下

部電極8と下地バリア膜3を覆うように、S B TとIrを順に堆積し、膜厚0.05～0.3μmの誘電体膜としてのS B T膜9と膜厚0.05～0.3μmのIrからなる第2導電膜としての上部電極10を形成し、ドライエッチング法により、S B T膜9,上部電極10を一括エッチングして、凸状の立体型キャパシタを形成する。これにより、上記下部電極8の上面で形成されるキャパシタ面積よりも下部電極8の全ての側面の部分だけ大きなキャパシタ面積が得られる。

【0033】

このようにして、上記シリコン基板1上に凸状の立体型キャパシタを形成することによって、高集積化に対応した極微細なキャパシタを容易に形成することができる。

【0034】

上記第1実施形態では、下部電極8を直方体形状とする立体型キャパシタを形成したが、下部電極の形状はこれに限らず、円柱または断面多角形の柱等の下部電極を誘電体膜(高誘電体または強誘電体からなる膜),上部電極で覆う凸状の立体型キャパシタを形成してもよい。

【0035】

また、上記第1実施形態では、誘電体膜に強誘電体材料であるS B Tを用い、電極材料にIr膜を用いたが、誘電体膜に強誘電体材料であるP Z Tまたは高誘電体材料であるB S T等を用い、電極材料にPt膜等を用いてもよい。

【0036】

(第2実施形態)

図2はこの発明の第2実施形態の半導体装置の製造方法の工程を示す要部の断面図である。

【0037】

図2(a)に示すように、トランジスタ(図示せず)が形成されたシリコン基板21上にSiO₂を堆積して、膜厚1～1.5μm程度の層間絶縁膜22を形成した後、TiO₂,Al₂O₃またはSiN等を堆積して、膜厚0.05～0.2μm程度の下地バリア膜23を形成する。この下地バリア膜23は、基本的には強誘電体膜とSiO₂膜との反応を防止する役割を果たす。

【0038】

次に、上記層間絶縁膜22,下地バリア膜23にコンタクトホール22aを形成した後、基板全面に例えれば0.1~0.5μm程度のドープトポリシリコンを堆積し、RIE法によりエッチバックすることにより、ドープトポリシリコンをコンタクトホール22a内に埋め込んで、プラグ24を形成する。このとき、プラグ24上面より、0.2~0.3μm程のオーバーエッチによりリセスを形成しておく。

【0039】

次に、TaSiN/Ti膜により構成されるバリアメタルをスパッタ法またはCVD法により堆積し(合計膜厚0.1~0.3μm程度)、引き続き、CMP法により平坦化することにより、プラグ24上部に埋込みバリアメタル25を形成する。このとき、TiO₂,Al₂O₃またはSiN等の下地バリア膜は残しておく必要がある。なお、バリアメタル材料としては、Ir/IrO₂またはIr/IrO₂/TaSiNを用いてもよい。

【0040】

次に、図2(b)に示すように、SiO₂を堆積して、膜厚0.2~1.0μmの第1絶縁膜としてのSiO₂膜26を形成し、RIE等により、プラグ24上の領域を含むSiO₂膜26の円形の領域を、埋込みバリアメタル25とその周囲の下地バリア膜23が露出するまでエッチングして、SiO₂膜26に凹部26aを形成する。なお、後述する下部電極との密着性をあげるため、SiO₂膜26表面に0.02~0.05μm程度のTiまたはTiO₂膜を形成する。

【0041】

次に、凹部26aが形成されたSiO₂膜26を覆うようにIrを堆積して、膜厚0.05~0.2μm程度の第1導電膜としてのIr膜27を形成する。ここで、Ir膜27は、比較的蒸気圧の高いIrの有機金属錯体を原料に用いて、熱分解法により成膜する。Ir膜堆積には、膜被服特性の優れたMOCVD法またはエレクトロプレート法を用いる。なお、Ir膜27の代わりにPt膜を用いてもよい。

【0042】

さらに、上記Ir膜27上にオゾン-TEOS(テトラ・エトキシ・シラン)-

SiO_2 を堆積し、膜厚 $0.2\sim0.5\mu\text{m}$ の第2絶縁膜としての SiO_2 膜28を形成し、 SiO_2 膜28により凹部26aを完全に埋める。

【0043】

次に、図2(c)に示すように、通常のドライエッティング法により SiO_2 膜28(図2(b)に示す)をエッチバックして、Ir膜27を露出させる。なお、 SiO_2 膜のエッチバックには、通常のCMP法を用いてもよい。

【0044】

その後、図2(d)に示すように、CMP法により、凹部26a外に存在するIr膜27を研磨し、凹部26a内にのみIrを埋め込んだ下部電極31を形成する。ここで、CMP法は、 CeO_2 , ZrO_2 または Al_2O_3 等の研磨剤にIrまたはPtを溶解させる酸またはアルカリ系の溶液を混ぜ合わせたスラリーを用いて、化学的に機械研磨する方法である。

【0045】

次に、図2(e)に示すように、通常の酸化膜RIE装置により SiO_2 膜26を下地バリア膜23(Al_2O_3 , TiO_2 または SiN 等)が露出するまでエッチバックする。同時に、凹部26a内の SiO_2 膜32(図2(d)に示す)もエッチバックして、下部電極31(Ir)を露出させる。このときの下地バリア膜23は、 $0.03\sim0.15\mu\text{m}$ 程度残っていることが望まれる。

【0046】

最後に、図2(f)に示すように、MOCVD法により、下部電極31と下地バリア膜23を覆うように、SBTとIrを順に堆積し、ドライエッティング法によりSBT膜32, 上部電極33を一括エッティングして、膜厚 $0.05\sim0.3\mu\text{m}$ の誘電体膜としてのSBT膜32と膜厚 $0.05\sim0.3\mu\text{m}$ のIrからなる第2導電膜としての上部電極33を形成する。蒸気下部電極31, SBT膜32および上部電極33で環状の立体型キャパシタを形成する。これにより、カップ形状の下部電極31の外側側壁, 内側側壁および内側底面の全面を有効に利用して大きなキャパシタ面積が得られる。

【0047】

このようにして、上記シリコン基板21上に環状の立体型キャパシタを形成す

ることによって、高集積化に対応した極微細なキャパシタを容易に形成することができる。

【0048】

上記第2実施形態では、カップ形状(有底の円筒状)の下部電極31を用いた立体型キャパシタについて説明したが、カップ形状の下部電極はこれに限らず、有底の断面多角形の筒状の下部電極を誘電体膜(高誘電体または強誘電体からなる膜),上部電極で覆う環状の立体型キャパシタを形成してもよい。

【0049】

また、上記第2実施形態では、誘電体膜に強誘電体材料であるSBTを用い、電極材料にIr膜を用いたが、誘電体膜に強誘電体材料であるPZTまたは高誘電体材料であるBST等を用い、電極材料にPt膜等を用いてもよい。

【0050】

【発明の効果】

以上より明らかなように、この発明の半導体装置の製造方法および半導体装置によれば、1トランジスタ・1キャパシタ型のDRAMまたは強誘電体メモリデバイス等におけるキャパシタ形成工程において、トランジスタの上方に凸状や環状の高段差の下部電極を形成し、その下部電極を誘電体膜(高誘電体または強誘電体からなる膜),上部電極で順に覆うことにより、極微細な立体型キャパシタを容易に形成することができ、高集積化に対応できる半導体装置を製造することができる。

【図面の簡単な説明】

【図1】 図1はこの発明の第1実施形態の半導体装置の製造方法の工程を示す要部の断面図である。

【図2】 図2はこの発明の第2実施形態の半導体装置の製造方法の工程を示す要部の断面図である。

【図3】 図3は従来のスタック型キャパシタを有する強誘電体メモリセル構造を示す要部の断面図である。

【図4】 図4は従来の凸状のキャパシタを有する強誘電体メモリセル構造を示す断面図である。

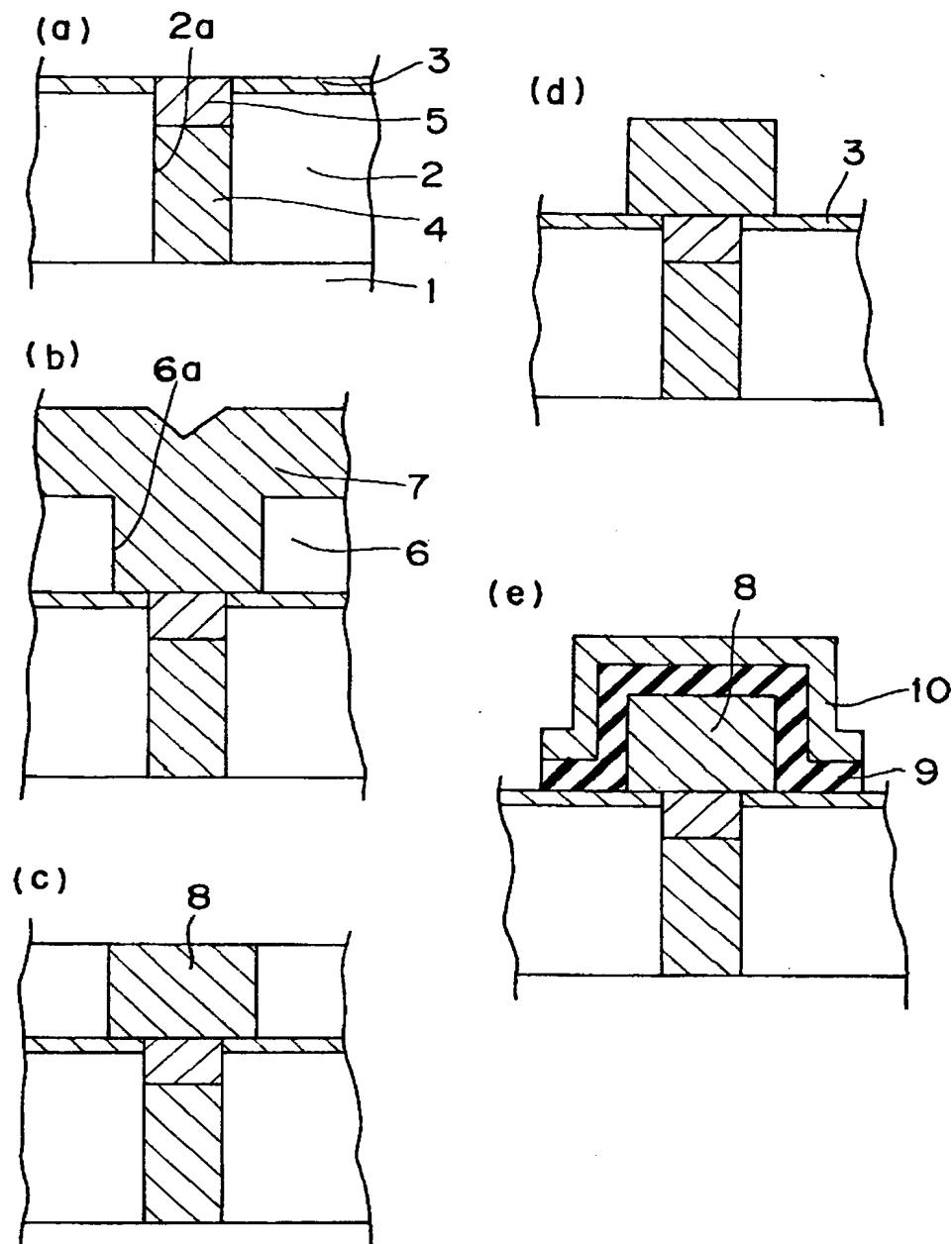
【図5】 図5は従来の立体型キャパシタを有する強誘電体メモリセル構造を示す要部の断面図である。

【符号の説明】

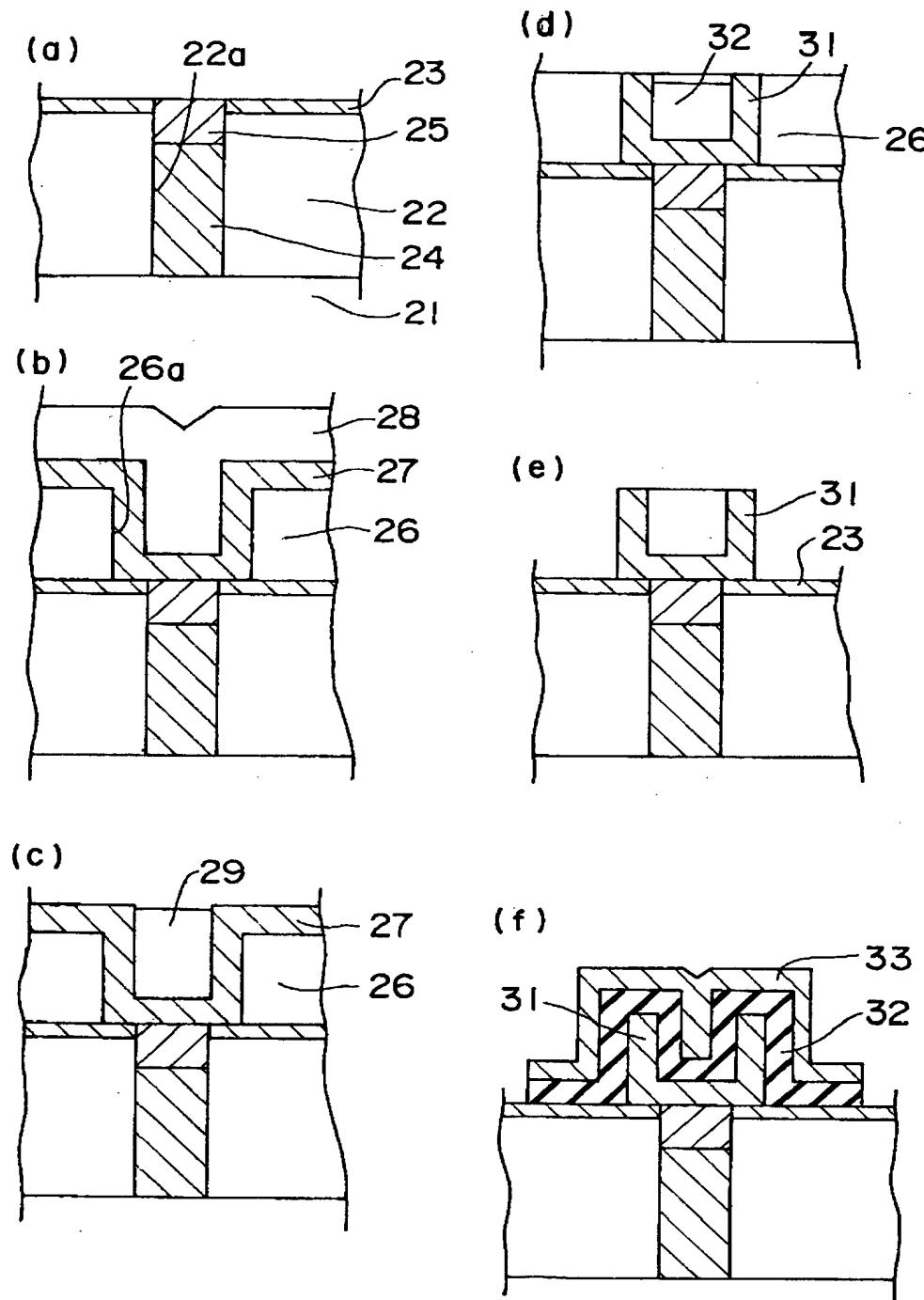
- 1, 2 1 …シリコン基板、
- 2, 2 2 …層間絶縁膜、
- 3, 2 3 …下地バリア膜、
- 4, 2 4 …プラグ、
- 5, 2 5 …埋込みバリアメタル、
- 6, 2 6, 2 8 … SiO_2 膜、
- 6 a, 2 6 a …凹部、
- 7, 2 7 …Ir膜、
- 8, 3 1 …下部電極、
- 9, 3 2 …SBT膜、
- 10, 3 3 …上部電極。

【書類名】 図面

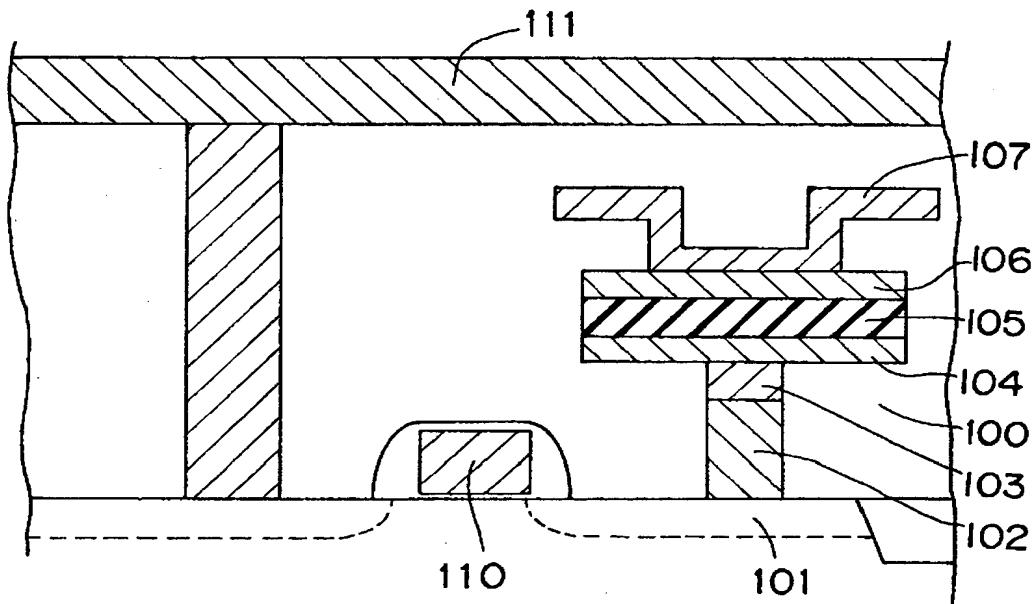
【図1】



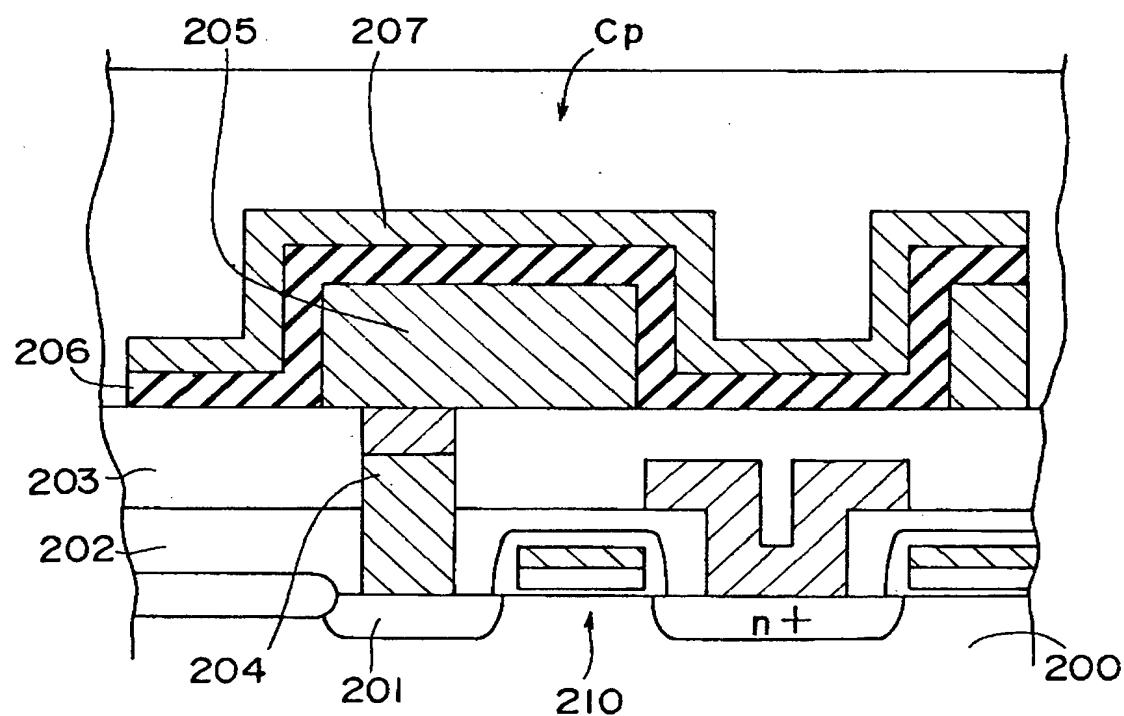
【図2】



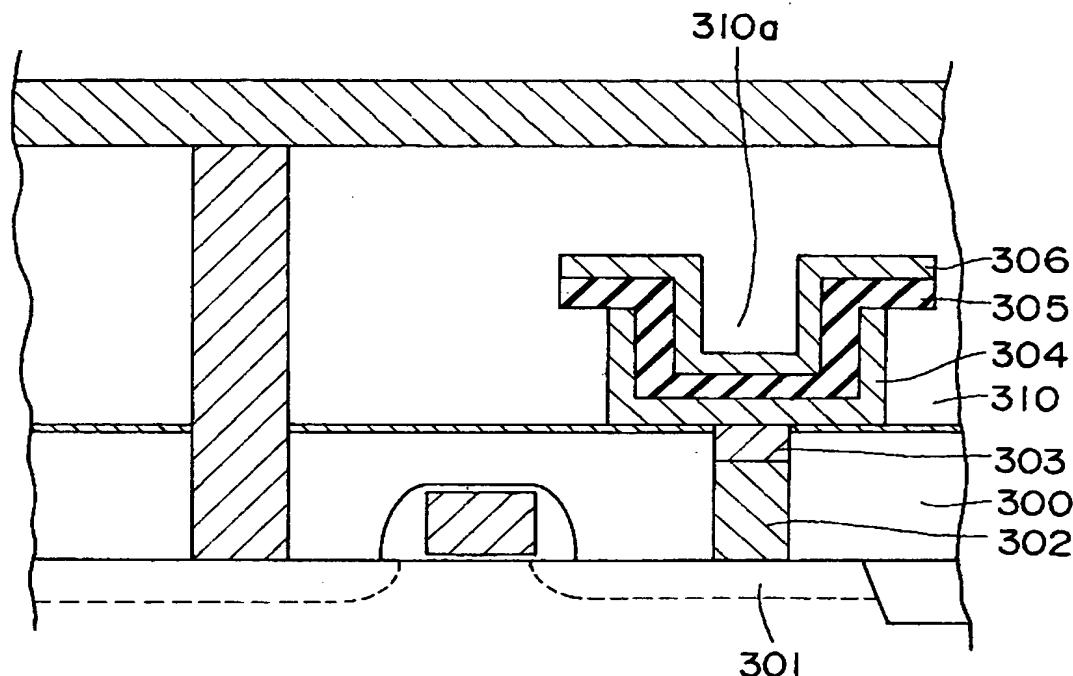
【図3】



【図4】



【図5】



【書類名】 要約書

【要約】

【課題】 高集積化に対応した極微細なキャパシタを容易に形成できる半導体装置の製造方法および半導体装置を提供する。

【解決手段】 半導体基板1上の層間絶縁膜2,バリア膜3にコンタクトホール2aを形成し、コンタクトホール2a内にプラグ4を形成する。次に、プラグ4上および層間絶縁膜2上にSiO₂膜6を形成した後、プラグ4の上面が露出するようにSiO₂膜6に凹部6aを形成する。上記凹部6aが形成されたSiO₂膜6上にIr膜7を形成した後、Ir膜7をCMP法によってエッチバックすることにより凹部6a内に下部電極8を形成する。そして、SiO₂膜6を下地のバリア膜3が露出するまでエッチバックし、凸状の下部電極8の表面をSBT膜9で覆い、さらにSBT膜9をIr膜10で覆って、SBT膜9,Ir膜10を同時にパターニングして、下部電極8,SBT膜9およびIr膜10で立体型キャパシタを形成する。

【選択図】 図1

出願人履歴情報

識別番号 [000005049]

1. 変更年月日 1990年 8月29日

[変更理由] 新規登録

住 所 大阪府大阪市阿倍野区長池町22番22号

氏 名 シャープ株式会社